

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-152976

(43)Date of publication of application : 27.05.2004

(51)Int.Cl.

H01L 21/8234
H01L 21/76
H01L 21/822
H01L 21/8247
H01L 27/04
H01L 27/08
H01L 27/088
H01L 27/10
H01L 27/115
H01L 29/41
H01L 29/423
H01L 29/49
H01L 29/78
H01L 29/788
H01L 29/792

(21)Application number : 2002-315960

(71)Applicant : RENESAS TECHNOLOGY CORP
RENASAS NORTHERN JAPAN
SEMICONDUCTOR INC

(22)Date of filing : 30.10.2002

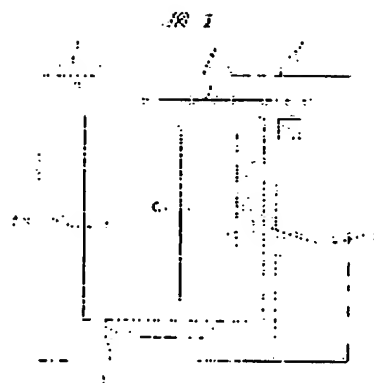
(72)Inventor : TANIGAWA HIROYUKI
TANAKA TOSHIHIRO
TOTANI TATSURO
FURUKAWA KATSUHIRO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress occurrence of a kink characteristic of MISFET.

SOLUTION: A rectangular active region 3 surrounded by an element separation groove 2 is formed on a main face of a substrate 1 formed of single crystal silicon. The active region 3 is divided into two in the right and the left by a gate electrode 4. One active region 3 constitutes a source region 5 of a MISFET (Q1) and the other constitutes a drain region 6. The gate electrode 4 of the MISFET (Q1) is formed on the active region 3. A part of the gate electrode 4 is arranged to cover a boundary part between the active region 3 on a drain region 6 side and the element separation groove 2.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-152976

(P2004-152976A)

(43) 公開日 平成16年5月27日(2004. 5. 27)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/8234	HO 1 L 27/08 1 0 2 C	4 M 1 0 4
HO 1 L 21/76	HO 1 L 27/08 3 3 1 A	5 F 0 3 2
HO 1 L 21/822	HO 1 L 27/10 4 8 1	5 F 0 3 8
HO 1 L 21/8247	HO 1 L 21/76 L	5 F 0 4 8
HO 1 L 27/04	HO 1 L 29/78 3 0 1 G	5 F 0 8 3
審査請求 未請求 請求項の数 5 O L (全 14 頁) 最終頁に続く		

(21) 出願番号 特願2002-315960 (P2002-315960)
 (22) 出願日 平成14年10月30日 (2002. 10. 30)

(71) 出願人 503121103
 株式会社ルネサステクノロジ
 東京都千代田区丸の内二丁目4番1号
 (71) 出願人 000233594
 株式会社ルネサス北日本セミコンダクタ
 北海道千歳市泉沢1007番地39
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 谷川 博之
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所半導体グループ内
 (72) 発明者 田中 利広
 東京都小平市上水本町五丁目20番1号
 株式会社日立製作所半導体グループ内

最終頁に続く

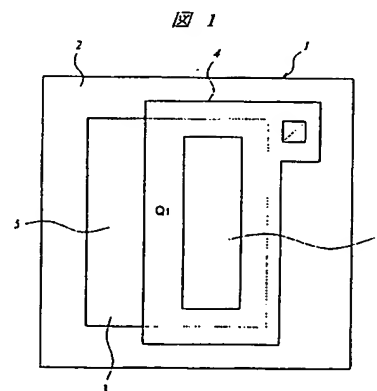
(54) 【発明の名称】 半導体集積回路装置

(57) 【要約】

【課題】 MISFETのキンク特性の発現を抑制する。

【解決手段】 単結晶シリコンからなる基板1の主面には、素子分離溝2によって囲まれた矩形のアクティブ領域3が形成されている。アクティブ領域3は、ゲート電極4によって左右に二分割されており、この二分割されたアクティブ領域3の一方がMISFET (Q₁) のソース領域5を構成し、他方がドレイン領域6を構成している。アクティブ領域3の上には、MISFET (Q₁) のゲート電極4が形成されている。このゲート電極4の一部は、ドレイン領域6側のアクティブ領域3と素子分離溝2との境界部を覆うように配置されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

素子分離溝によって周囲を規定された第 1 アクティブ領域の半導体基板に第 1 MISFET が形成された半導体集積回路装置であって、

前記第 1 アクティブ領域の前記半導体基板上には、前記第 1 アクティブ領域を横切ってその一端から他端に延在する前記第 1 MISFET の第 1 ゲート電極が形成されており、
前記第 1 ゲート電極の一部は、前記素子分離溝と、前記第 1 MISFET のソース領域側またはドレイン領域側の前記第 1 アクティブ領域との境界部を覆っていることを特徴とする半導体集積回路装置。

【請求項 2】

前記第 1 アクティブ領域を横切ってその一端から他端に延在する前記第 1 ゲート電極は、複数本存在し、前記ソース領域および前記ドレイン領域は、前記複数本の前記第 1 ゲート電極を挟んで交互に配置されていることを特徴とする請求項 1 記載の半導体集積回路装置。

10

【請求項 3】

素子分離溝によって周囲を規定された第 1 アクティブ領域の半導体基板に第 1 MISFET および第 2 MISFET が形成された半導体集積回路装置であって、

前記第 1 MISFET および前記第 2 MISFET は、ソース領域またはドレイン領域のいずれか一方を互いに共有し、

前記第 1 アクティブ領域の前記半導体基板上には、前記第 1 アクティブ領域を横切ってその一端から他端に延在する前記第 1 MISFET の第 1 ゲート電極と、前記第 1 アクティブ領域を横切ってその一端から他端に延在する前記第 2 MISFET の第 2 ゲート電極とが形成されており、

20

前記第 1 ゲート電極の一部は、前記第 1 MISFET のソース領域またはドレイン領域のうち、前記第 2 MISFET と共有されていない領域側の前記第 1 アクティブ領域と前記素子分離溝との境界部を覆っており、

前記第 2 ゲート電極の一部は、前記第 2 MISFET のソース領域またはドレイン領域のうち、前記第 1 MISFET と共有されていない領域側の前記第 1 アクティブ領域と前記素子分離溝との境界部を覆っていることを特徴とする半導体集積回路装置。

【請求項 4】

素子分離溝によって周囲を規定された第 1 および第 2 アクティブ領域の半導体基板に第 1 MISFET が形成された半導体集積回路装置であって、

前記第 1 アクティブ領域の前記半導体基板上には、前記第 1 アクティブ領域を横切ってその一端から他端に延在し、ゲート幅が二分の一に分割された前記第 1 MISFET の第 1 ゲート電極が形成されており、

前記第 2 アクティブ領域の前記半導体基板上には、前記第 2 アクティブ領域を横切ってその一端から他端に延在し、ゲート幅が二分の一に分割された前記第 1 MISFET の第 2 ゲート電極が形成されており、

前記第 1 アクティブ領域に形成された前記第 1 ゲート電極の一部は、前記素子分離溝と、前記第 1 MISFET のソース領域側またはドレイン領域側の前記第 1 アクティブ領域との境界部を覆っており、

40

前記第 2 アクティブ領域に形成された前記第 2 ゲート電極の一部は、前記素子分離溝と、前記第 1 MISFET のソース領域側またはドレイン領域側の前記第 2 アクティブ領域との境界部を覆っていることを特徴とする半導体集積回路装置。

【請求項 5】

前記第 1 MISFET は、フラッシュメモリの電源回路の一部を構成していることを特徴とする請求項 1、2 または 4 記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

50

本発明は、半導体集積回路装置に関し、特に、MISFET (Metal Insulator Semiconductor Field Effect Transistor) のキンク特性の発現を抑制する技術に関する。

【0002】

【従来の技術】

近年、シリコン基板に形成されるLSIの素子分離構造として、半導体基板（以下、単に基板という）に形成した溝の内部に酸化シリコン膜などの絶縁膜を埋め込む素子分離溝（Shallow Trench Isolation）が採用されている。

【0003】

基板に素子分離溝を形成するには、まず、窒化シリコン膜をマスクにしたエッチングで素子分離領域の基板に溝を形成し、続いて基板上に酸化シリコン膜を堆積して溝の内部に酸化シリコン膜を埋め込んだ後、化学機械研磨（Chemical Mechanical Polishing；CMP）法を用いて溝の外部の不要な酸化シリコン膜を除去する。

10

【0004】

しかし、上記のような方法で素子分離溝を形成した基板上にMISFET (Metal Insulator Semiconductor Field Effect Transistor) のゲート電極を形成した場合は、素子分離溝と接するアクティブ領域の端部でしきい値電圧（ V_{th} ）が局所的に低下し、低いゲート電圧（ V_g ）でチャネルが反転してドレイン電流が流れる現象（キンク特性あるいはバンプ特性などと呼ばれる）が発生する。

20

【0005】

上記したしきい値電圧の低下は、アクティブ領域の基板に導入されたしきい値電圧制御用の不純物の一部が製造工程中の熱処理によって素子分離溝内の酸化シリコン膜中に拡散し、アクティブ領域の端部で上記不純物の濃度が低下することや、製造工程中に生じた素子分離溝の端部における酸化シリコン膜の膜厚減少（リセス）に起因してアクティブ領域の端部に形成されるゲート絶縁膜の膜厚が薄くなり、そこに高電界が集中することなどが原因と考えられている。

【0006】

その対策として、ゲート電極の平面パターンを「H」状または「日」状とし、アクティブ領域と素子分離領域との境界部の一部あるいは全部をゲート電極の一部で覆う構造が提案されている（例えば、特許文献1参照）。

30

【0007】

上記した対策のうち、アクティブ領域と素子分離領域との境界部の一部をゲート電極で覆う構造は、寄生MISFETの実効ゲート長を増やすことによってキンク特性の低減を図るものである。また、上記境界部全体をゲート電極の一部で覆う構造は、寄生MISFET領域を無くすことによって、実質的にキンク特性を無くそうとするものである。

【0008】

【特許文献1】

特開2001-217325号公報

40

【0009】

【発明が解決しようとする課題】

例えばマイコンとフラッシュメモリを1チップ上に形成するLSIにおいては、フラッシュメモリのメモリセルに印加する電圧に温度依存性を付加することによって書き換え時間や読み出し時間の温度依存性を補償する温度補償回路や、各種昇圧電源および降圧電源を制御する比較回路など、MISFETのサブスレッショルド領域およびその近傍の電流特性を利用する回路が多数使用されている。

【0010】

上記のような回路は、MISFETの微細化に伴って前述したキンク特性が顕在化した場合、ゲート電極の平面パターンを「H」状にする前記特許文献1の対策では、キンク特性

50

の低減が十分に図れないことから、キンク特性およびその変動に起因する動作点のずれを有効に抑制することが困難である。他方、ゲート電極の平面パターンを「日」状にすることによってアクティブ領域と素子分離領域との境界部全体をゲート電極の一部で覆う対策は、キンク特性の影響を無くすることができる反面、サイズ比が大きい複数のMISFET対を使用する上記のような回路では、互いに隣接するアクティブ領域同士の間隔が広くなって回路面積が増大する結果、高集積化が妨げられるという問題が生じる。

【0011】

本発明の目的は、MISFETのキンク特性の発現を抑制することのできる技術を提供することにある。

【0012】

本発明の他の目的は、MISFETのサブスレッショルド領域およびその近傍の電流特性を利用する回路を備えたLSIにおいて、回路面積の増大を最小限に抑えながら、キンク特性に起因する回路動作のばらつきを抑制することのできる技術を提供することにある。

【0013】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0015】

本発明の半導体集積回路装置は、素子分離溝によって周囲を規定された第1アクティブ領域の半導体基板に第1MISFETが形成され、前記第1アクティブ領域の前記半導体基板上には、前記第1アクティブ領域を横切ってその一端から他端に延在する前記第1MISFETの第1ゲート電極が形成され、前記第1ゲート電極の一部は、前記素子分離溝と、前記第1MISFETのソース領域側またはドレイン領域側の前記第1アクティブ領域との境界部を覆っているものである。

【0016】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

【0017】

(実施の形態1)

図1は、本実施の形態によるMISFETのゲート電極の平面パターンを示す平面図である。

【0018】

単結晶シリコンからなる基板1の主面には、素子分離溝2によって囲まれた矩形のアクティブ領域3が形成されている。また、このアクティブ領域3の上には、MISFET(Q₁)のゲート電極4が形成されている。

【0019】

上記アクティブ領域3は、ゲート電極4によって左右に二分割されており、この二分割されたアクティブ領域3の一方がMISFET(Q₁)のソース領域5を構成し、他方がドレイン領域6を構成している。なお、ソース領域5とドレイン領域6は、互いの位置を逆にしてもよい。

【0020】

上記ゲート電極4は、多結晶シリコン膜またはポリサイド膜からなり、その一部は、ドレイン領域6側のアクティブ領域3と素子分離溝2との境界部を覆うように配置されている。ゲート電極4をこのようなパターンで構成することにより、寄生MISFETが形成される領域を無くすることができるので、MISFET(Q₁)のキンク特性を改善すること

10

20

30

40

50

ができる。

【0021】

また、従来のように、ゲート電極の平面パターンを「日」状とすることによって、アクティブ領域と素子分離領域との境界部全体をゲート電極の一部で覆う場合に比べると、ソース領域5側のアクティブ領域3と素子分離溝2との境界部にゲート電極4の一部が配置されていないので、その分、隣接アクティブ領域（図示せず）との間隔を縮小することができ、回路面積の増大が抑制される。さらに、上記従来構造に比べてゲート電極4の面積が小さくなった分、ゲート容量も低減されるので、MISFET (Q_1) の応答特性も改善される。

【0022】

図2は、本実施の形態のフラッシュメモリ内蔵マイコンの回路構成を示すブロック図、図3は、図2に示すフラッシュメモリの回路構成を示すブロック図、図4は、図3に示す電源回路の一部である降圧回路を示す回路図、図5は、図3に示す電源回路の一部である昇圧回路を示す回路図、図6は、図3に示す行デコーダ・ドライバ回路を示す回路図である。

【0023】

フラッシュメモリにおいては、メモリセルへのデータの書き込みまたは消去後に、このメモリセルのしきい値電圧が、あらかじめ定義された書き込み状態または消去状態に到達しているかを確認するベリファイ動作を行うことがある。このベリファイ動作は、例えばメモリセルのゲート電極に電源電圧よりも低い電圧を印加してドレイン電流を検知することによって行われる。降圧回路は、このベリファイ動作時にメモリセルのゲート電極に印加する電圧を発生させるために使用される。

【0024】

上記降圧回路は、比較回路と、出力部のpチャネル型MISFET (Q_{12}) などから構成され、電源電圧 (V_{cc}) よりも低い電圧 (V_{CL}) を二つの抵抗 (R_1 , R_2) で分圧した電圧値 (V_R) と参照電位 (V_{ref}) とを比較回路で比較した出力電圧 (V_{AMG}) によって、pチャネル型MISFET (Q_{12}) を制御することにより、所望の電圧値に到達させる。メモリセル電流の温度依存性を補償するために、電圧 (V_{CL}) に温度依存性を与える場合は、温度補償回路を設け、バンドギャップ回路などを用いた基準電源から発生させた参照電位 (V_{ref}) を温度依存性を有する参照電位 ($V_{ref t}$) に変換した後、電圧値 (V_R) と比較する構成となる。

【0025】

また、フラッシュメモリにおいては、書き込み動作または消去動作によって、対象メモリセルのしきい値電圧を、あらかじめ定義された書き込み状態または消去状態に到達させる。昇圧回路は、このとき必要とされるメモリセルのゲート電極に印加する電源電圧 (V_{cc}) よりも高い電圧 (V_{CP}) を発生させるために使用される。

【0026】

上記昇圧回路は、発振回路とチャージポンプ回路と比較回路とから構成される。発振回路から出力される位相が相補的なクロック信号 (CLK , $CLKB$) によってチャージポンプ回路と駆動させ、電圧 (V_{CP}) を発生させる。電圧 (V_{CP}) は、二つの抵抗 (R_1 , R_2) で分圧した電圧値 (V_R) と参照電位 (V_{ref}) とを比較回路で比較した出力電圧 (V_{AMG}) をバッファ (DRV) で論理信号 (V_{LOG}) に変換し、この論理信号 (V_{LOG}) によってクロック信号 (CLK , $CLKB$) のチャージポンプ回路への入力を制御することによって、所望の電圧に到達させる。メモリセルの書き込み時間または消去時間を一定に制御するような場合には、温度補償回路を設け、バンドギャップ回路などを用いた基準電源から発生させた参照電位 (V_{ref}) を温度依存性を有する参照電位 ($V_{ref t}$) に変換した後、電圧値 (V_R) と比較する構成となる。

【0027】

フラッシュメモリの行デコーダ・ドライバ回路は、デコーダ回路とドライバ回路とで構成される。デコーダ回路にアドレス信号を入力して選択信号に変換し、対応するドライバ回

10

20

30

40

50

路を駆動して対象メモリセルの電極端子に電圧を与える。ドライバ回路の電源電圧 (V_{CCH} 、 V_{SSL}) は、前記降圧回路の電圧 (V_{CL}) や昇圧回路の電圧 (V_{CP}) などを切替え回路によって接続させて与える。

【0028】

書き込み動作または消去動作を行う場合、電源電圧 (V_{CCH}) には、例えば電圧 (V_{CP}) を接続させる。図7に示すグラフ中の実線8は、このとき、ドライバ回路を構成する $MISFET$ の電流特性を示している。また、この $MISFET$ にキंक特性がある場合には、同図の破線7に示すような電流特性が表れる。ドライバ回路を構成する $MISFET$ 全体では、実効的にゲート幅が数十 μm にも達するため、 $MISFET$ 全体の電流特性は、同図の実線8のようになり、キंक特性がある場合には、同図の破線7のようになる。

10

【0029】

従って、ドライバ回路を構成する $MISFET$ がキंक特性を示す場合、特に高温時や、しきい値電圧が製造条件のばらつきによって低電圧側に偏った時のドライバ回路全体のリーク電流は、実用的な回路面積を有する前記昇圧回路が発生し得る供給電流の上限を超えてしまう。

【0030】

そこで、上記ドライバ回路を構成する $MISFET$ として、前記図1に示すゲート電極4を有する $MISFET$ (Q_1) を採用することにより、ドライバ回路の駆動速度を低下させることなく、かつドライバ回路の面積増大を最小限に抑えながら、上記昇圧回路を実用的な面積で設計することができる。

20

【0031】

また、上記電源回路 (降圧回路、昇圧回路) を構成する $MISFET$ として、前記図1に示す $MISFET$ (Q_1) を採用することにより、リーク電流を減らすことができるので、スタンバイ電流を低減することができる。また、供給電流が少なく済むので、電源回路を小面積で設計することができる。

【0032】

(実施の形態2)

図8は、本実施の形態による $MISFET$ のゲート電極の平面パターンを示す平面図である。

30

【0033】

基板1の主面には、素子分離溝2によって囲まれた矩形のアクティブ領域3が形成され、このアクティブ領域3の上には、2個の $MISFET$ (Q_3 、 Q_4) のそれぞれのゲート電極4a、4bが形成されている。これらのゲート電極4a、4bの平面パターンは、前記実施の形態1の $MISFET$ (Q_1) のゲート電極4と同じであり、アクティブ領域3の中央部が2個の $MISFET$ (Q_3 、 Q_4) に共通のソース領域5を構成している。また、一方の $MISFET$ (Q_3) のゲート電極4aの一部は、ドレイン領域6側のアクティブ領域3と素子分離溝2との境界部を覆うように配置されており、他方の $MISFET$ (Q_4) のゲート電極4bの一部も、ドレイン領域6側のアクティブ領域3と素子分離溝2との境界部を覆うように配置されている。なお、ソース領域5とドレイン領域6は、互いの位置を逆にしてもよい。

40

【0034】

2個の $MISFET$ (Q_3 、 Q_4) のゲート電極4a、4bを上記のようなパターンで構成することにより、寄生 $MISFET$ が形成される領域を無くすることができるので、 $MISFET$ (Q_3 、 Q_4) のキंक特性を改善することができる。

【0035】

また、ソース領域5を2個の $MISFET$ (Q_3 、 Q_4) で共有し、この領域と素子分離溝2との境界部にはゲート電極4a、4bを配置しないことにより、回路面積の増大が抑制されると共に、ゲート容量も低減される。

【0036】

50

図9は、2個のMISFET (Q_5 , Q_6) のゲート電極4c、4dの平面パターンを示す平面図である。この例では、素子分離溝2によって互いに分離された4個のアクティブ領域3の上に、2個のMISFET (Q_5 , Q_6) のそれぞれのゲート電極4c、4dが半分ずつ形成されている。すなわち、この例では、2個のMISFET (Q_5 , Q_6) のそれぞれのゲート電極4c、4dのゲート幅を1/2に分割し、1/2に分割されたゲート電極4c、4dを2個ずつ襷掛けに配置した構成になっている。このとき、MISFET対 (Q_5 , Q_6) のそれぞれのゲート電極4c、4dのX座標と、アクティブ領域3のY軸方向に沿った外周のX座標と、対になるMISFET側でないX軸方向外周のY座標を一致させることにより、2個のMISFET (Q_5 , Q_6) の特性を互いに一致させることができる。

10

【0037】

2個のMISFET (Q_5 , Q_6) のゲート電極4c、4dを上記のようなパターンで構成した場合にも、寄生MISFETが形成される領域を無くすることができるので、MISFET (Q_5 , Q_6) のキンク特性を改善することができる。

【0038】

また、2個のMISFET (Q_5 , Q_6) のそれぞれのソース領域5側のアクティブ領域3と素子分離溝2との境界部をゲート電極4c、4dで覆わないので、回路面積の増大が抑制されると共に、ゲート容量も低減される。

【0039】

図10は、同一寸法のアクティブ領域3を2個形成し、それぞれのアクティブ領域3上にゲート幅を1/4に分割したゲート電極4e、4fを有するMISFET対 (MISFET (Q_7) およびMISFET (Q_8)) を2個ずつ配置することによって、MISFET対 (Q_7 , Q_8) の特性を互いに一致させるようにした例である。このMISFET対 (Q_7 , Q_8) は、2個のアクティブ領域3、3上にソース領域5を介して互い違いに配置されており、一方のアクティブ領域3上の中央部にドレイン領域6が配置されているMISFETは、他方のアクティブ領域3の両端部にそのドレイン領域6が配置されている。

20

【0040】

2個のMISFET (Q_7 , Q_8) のゲート電極4e、4fを上記のようなパターンで構成した場合にも、寄生MISFETが形成される領域を無くすることができるので、MISFET (Q_7 , Q_8) のキンク特性を改善することができる。

30

【0041】

また、2個のMISFET (Q_7 , Q_8) のそれぞれのソース領域5側のアクティブ領域3と素子分離溝2との境界部をゲート電極4e、4fで覆わないので、回路面積の増大が抑制されると共に、ゲート容量も低減される。

【0042】

図11は、前記図4に示した降圧回路の一部を構成する温度補償回路の回路図、図12は、この温度補償回路を構成するMISFETの電流特性を表したグラフである。

【0043】

上記温度補償回路は、2個のpチャネル型MISFET (MP_1 , MP_2) で構成されるカレントミラー部 (P_1) と、2個のnチャネル型MISFET (MN_1 , MN_2) で構成される温度補償部 (P_2) と、定電圧 (V_{ref2})、ゲート長、ゲート幅などを調整することによって回路の動作電流領域をサブスレッショルド領域に制御するnチャネル型MISFET (MN_3) から構成されている。出力電圧 (V_{ref1}) の温度依存性の大きさは、温度補償部 (P_2) を構成する2個のnチャネル型MISFET (MN_1 , MN_2) のサイズ比とテーリング係数との積に比例するようになっている。

40

【0044】

図12の破線 (S_1) は、MISFETにキンク特性がある場合 (破線9) のテーリング係数を示しており、実線 (S_2) で示すキンク特性がない場合 (実線10) のテーリング係数とは異なっている。また、上記温度補償回路は、テーリング係数のばらつきの影響を

50

受け易いにもかかわらず、キंक特性のばらつきは予測し難いため、MISFETにキंक特性があると回路の設計が困難になる。

【0045】

そこで、温度補償部 (P_2) を構成する2個のnチャネル型MISFET (MN_1 、 MN_2) として、前記図8、図9、図10に示すMISFET対 ($Q_3 \sim Q_8$) のいずれかを採用することにより、温度補償回路の面積増大を最小限に抑えながら、特性ばらつきを低減することができる。さらに、カレントミラー部 (P_1) を構成する2個のpチャネル型MISFET (MP_1 、 MP_2) として、前記図8、図9、図10に示すMISFET対 ($Q_3 \sim Q_8$) のいずれかを採用することにより、温度補償回路の特性ばらつきをより低減することができる。

10

【0046】

(実施の形態3)

図13は、前記図5に示した昇圧回路の一部を構成する比較回路の回路図、図14は、この比較回路を構成するMISFETの電流特性を表したグラフ、図15は、この比較回路の入出力波形例を示す図である。

【0047】

上記比較回路は、2個のpチャネル型MISFET (MP_3 、 MP_4) で構成されるカレントミラー部 (P_3) と、2個のnチャネル型MISFET (MN_3 、 MN_4) で構成される差動部 (P_4) と、定電圧 (V_{ref3})、ゲート長、ゲート幅などを調整することによって回路の動作電流領域を制御するnチャネル型MISFET (MN_5) から構成されている。

20

【0048】

上記比較回路の差動部 (P_4) を構成するMISFET (MN_3 、 MN_4) に図14の破線11で示すようなキंक特性がある場合、図15の破線で示すVLOG信号のように、参照電位 (V_{ref1}) から電位 (DV) だけずれた点で比較回路が応答する。また、電位 (DV) は、キंक特性のばらつきによって様々に変化し得る。そのため、前記図4および図5に示した回路 (降圧回路、昇圧回路) を有する電源回路で発生させる電圧 (V_{CL} 、 V_{CP}) を所望の値に制御することが困難となる。

【0049】

そこで、上記差動部 (P_4) を構成する2個のnチャネル型MISFET (MN_3 、 MN_4) として、前記図8、図9、図10に示すMISFET対 ($Q_3 \sim Q_8$) のいずれかを採用することにより、比較回路の面積増大を最小限に抑えながら、応答速度の低下を抑制することができる。また、カレントミラー部 (P_3) を構成する2個のpチャネル型MISFET (MP_3 、 MP_4) として、前記図8、図9、図10に示すMISFET対 ($Q_3 \sim Q_8$) のいずれかを採用することにより、比較回路の特性ばらつきをさらに低減することができる。

30

【0050】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

40

【0051】

例えばゲート幅が大きいゲート電極を有するMISFETにおいては、一般にゲート電極を幅方向に分割し、ソース領域とドレイン領域とをゲート電極を挟んで交互に配置することによって、MISFETのレイアウト面積を縮小することが行われる。この場合、例えば図16に示すMISFET (Q_9) のように、ソース領域5側のアクティブ領域3と素子分離溝2との境界部をゲート電極4で覆うことにより、寄生MISFETが形成される領域を無くすることができるので、MISFETのキंक特性を改善することができる。また、ドレイン領域6側のアクティブ領域3と素子分離溝2との境界部は、ゲート電極4で覆わないので、隣接アクティブ領域 (図示せず) との間隔を縮小することができ、回路面積の増大が抑制されると共に、ゲート容量も低減されるので、MISFET (Q_9) の応

50

答特性も改善される。

【0052】

また、図17に示すMISFET(Q₁₀)のように、ドレイン領域6側のアクティブ領域3と素子分離溝2との境界部のうち、ゲート電極4のゲート長方向に平行な境界部のみをゲート電極4の一部で覆った場合は、ゲート電極4で覆われた境界部に寄生MISFETが形成されるので、キンク特性は完全には除去されないが、アクティブ領域3と素子分離溝2との境界部のうち、ゲート電極4で覆われない領域が増えるので、隣接アクティブ領域(図示せず)との間隔を縮小することができ、回路面積の増大がさらに抑制されると共に、ゲート容量もさらに低減される。

【0053】

前記実施の形態では、本発明をフラッシュメモリ内蔵マイコンに適用した場合について説明したが、これに限定されるものではなく、特にMISFETのサブスレッショルド領域およびその近傍の電流特性を利用する回路を有する各種LSIに広く適用することができる。

10

【0054】

【発明の効果】

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0055】

MISFETのサブスレッショルド領域およびその近傍の電流特性を利用する回路を備えたLSIにおいて、回路面積の増大を最小限に抑えながら、キンク特性に起因する回路動作のばらつきを抑制することができる。

20

【図面の簡単な説明】

【図1】本発明の一実施の形態によるMISFETのゲート電極の平面パターンを示す平面図である。

【図2】本発明の一実施の形態によるフラッシュメモリ内蔵マイコンの回路構成を示すブロック図である。

【図3】図2に示すフラッシュメモリの回路構成を示すブロック図である。

【図4】図3に示す電源回路の一部である降圧回路を示す回路図である。

【図5】図3に示す電源回路の一部である昇圧回路を示す回路図である。

30

【図6】図3に示す行デコーダ・ドライバ回路を示す回路図である。

【図7】図6に示すドライバ回路を構成するMISFETの電流特性を表したグラフである。

【図8】本発明の他の実施の形態によるMISFETのゲート電極の平面パターンを示す平面図である。

【図9】本発明の他の実施の形態によるMISFETのゲート電極の平面パターンを示す平面図である。

【図10】本発明の他の実施の形態によるMISFETのゲート電極の平面パターンを示す平面図である。

【図11】図4に示す降圧回路の一部を構成する温度補償回路の回路図である。

40

【図12】図11に示す温度補償回路を構成するMISFETの電流特性を表したグラフである。

【図13】図5に示した昇圧回路の一部を構成する比較回路の回路図である。

【図14】図13に示す比較回路を構成するMISFETの電流特性を表したグラフである。

【図15】図13に示す比較回路の入出力波形例を示す図である。

【図16】本発明の他の実施の形態によるMISFETのゲート電極の平面パターンを示す平面図である。

【図17】本発明の他の実施の形態によるMISFETのゲート電極の平面パターンを示す平面図である。

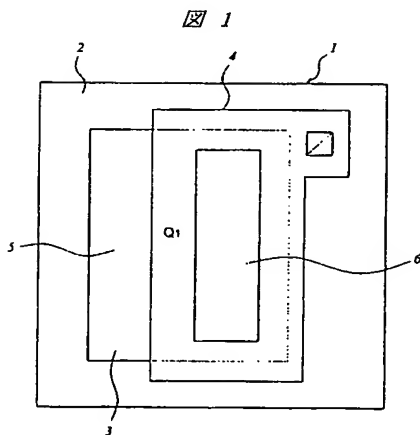
50

【符号の説明】

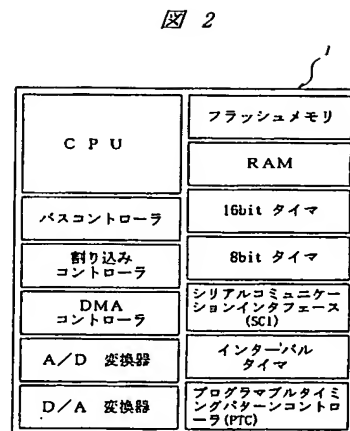
- 1 基板
 2 素子分離溝
 3 アクティブ領域
 4、4a～4f ゲート電極
 5 ソース領域
 6 ドレイン領域
 MN₁～MN₅ pチャネル型MISFET
 MP₁～MP₄ pチャネル型MISFET
 Q₁₂ MISFET
 Q₁～Q₁₀ MISFET
 R₁, R₂ 抵抗

10

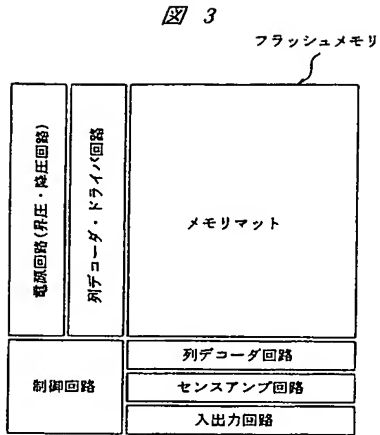
【図1】



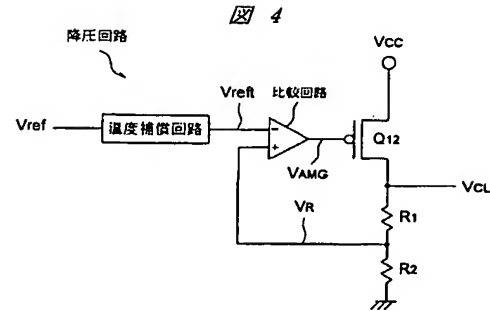
【図2】



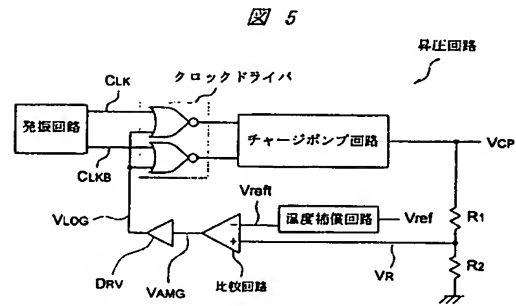
【図 3】



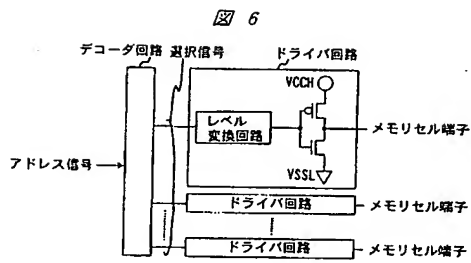
【図 4】



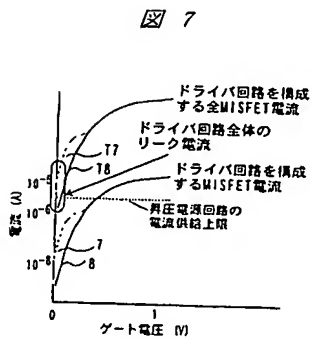
【図 5】



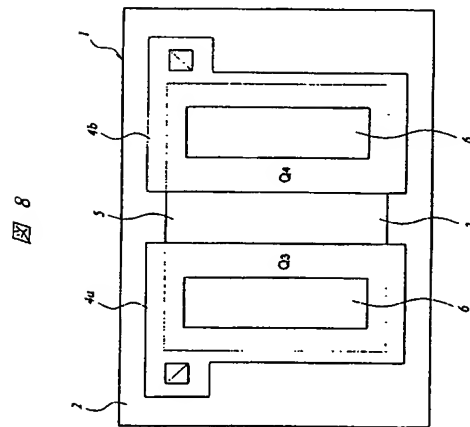
【図 6】



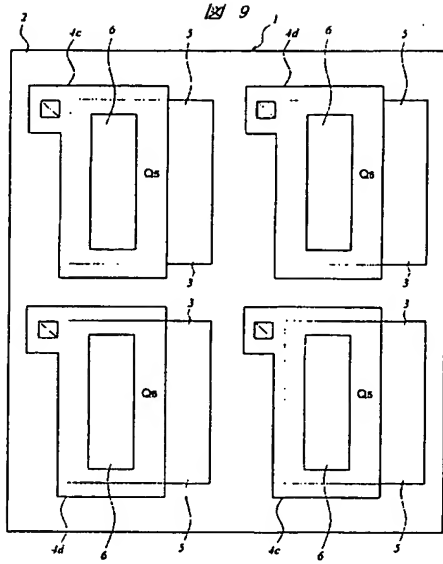
【図 7】



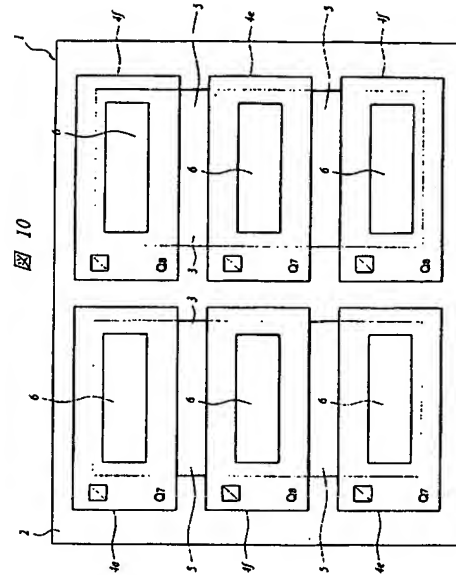
【図 8】



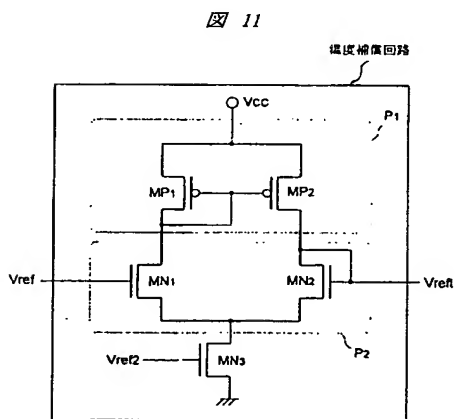
【図 9】



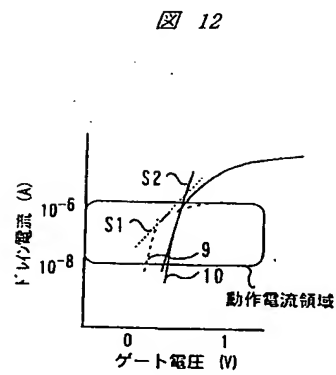
【図 10】



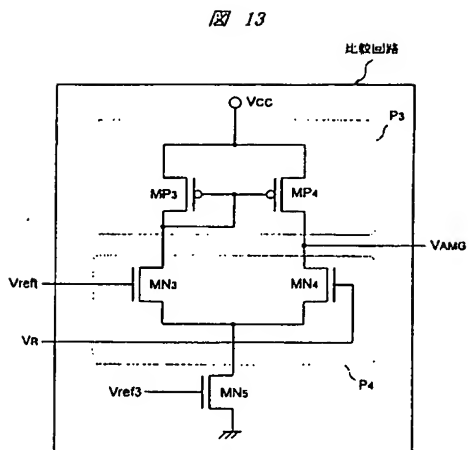
【図 11】



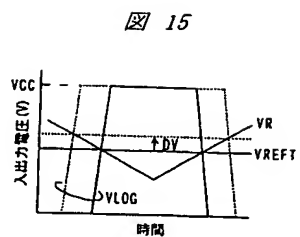
【図 12】



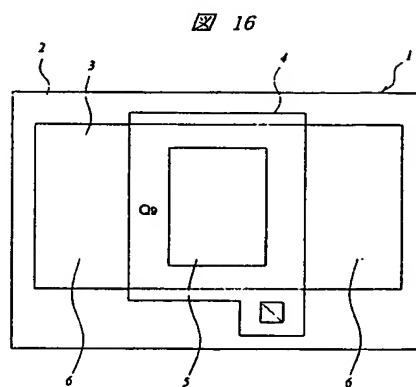
【図 13】



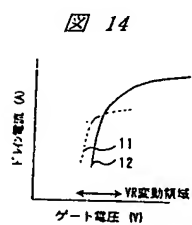
【図 15】



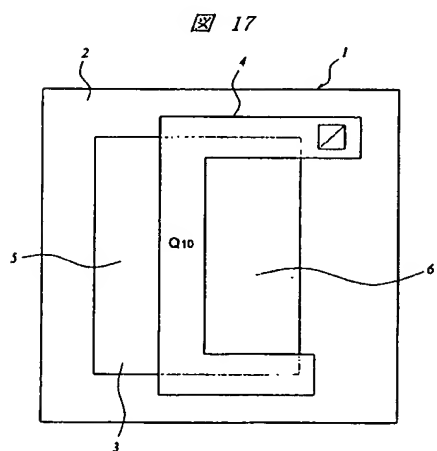
【図 16】



【図 14】



【図 17】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 27/08	H O 1 L 29/78 3 0 1 R	5 F 1 0 1
H O 1 L 27/088	H O 1 L 29/58 G	5 F 1 4 0
H O 1 L 27/10	H O 1 L 27/04 U	
H O 1 L 27/115	H O 1 L 29/44 P	
H O 1 L 29/41	H O 1 L 27/10 4 3 4	
H O 1 L 29/423	H O 1 L 29/78 3 7 1	
H O 1 L 29/49		
H O 1 L 29/78		
H O 1 L 29/788		
H O 1 L 29/792		

(72)発明者 戸谷 達郎

北海道亀田郡七飯町字中島 1 4 5 番地 日立北海セミコンダクタ株式会社内

(72)発明者 古川 且洋

東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内

F ターム (参考) 4M104 AA01 BB01 CC05 FF11 FF14 GG09 GG10 GG14
 5F032 AA35 AA44 AA63 CA17 CA24
 5F038 AV06 BB02 BB05 BG02 BG03 BG05 BG08 CA05 CD04 CD15
 DF04 DF05 DF06 DF11 EZ20
 5F048 AA04 AA07 AB01 AB03 AB08 AB10 AC01 AC03 BB01 BB02
 BB05 BB14 BF15 BG13 BG14
 5F083 EP00 JA53 ZA13
 5F101 BE14
 5F140 AA16 AB03 AC32 BA01 BF01 BF04 BF11 BF18 BF47 BF51
 BF54 CB04 CB06